

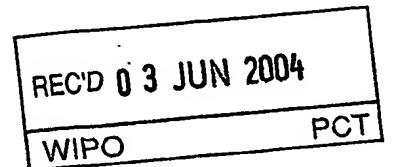
30.3.2004

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月31日
Date of Application:



出願番号 特願2003-095600
Application Number:
[ST. 10/C]: [JP2003-095600]

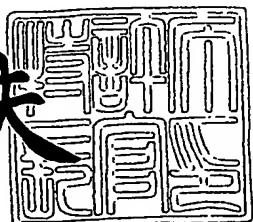
出願人 独立行政法人 科学技術振興機構
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 P02-0946
【提出日】 平成15年 3月31日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/02
【発明の名称】 スピン依存伝達特性を有するトンネルトランジスタ及び
それを用いた不揮発性メモリ
【請求項の数】 33
【発明者】
【住所又は居所】 神奈川県横浜市中区本牧原 21-1-603
【氏名】 菅原 聰
【発明者】
【住所又は居所】 埼玉県さいたま市井沼方 647-6-201
【氏名】 田中 雅明
【特許出願人】
【識別番号】 396020800
【氏名又は名称】 科学技術振興事業団
【代理人】
【識別番号】 100091096
【弁理士】
【氏名又は名称】 平木 祐輔
【選任した代理人】
【識別番号】 100102576
【弁理士】
【氏名又は名称】 渡辺 敏章
【選任した代理人】
【識別番号】 100108394
【弁理士】
【氏名又は名称】 今村 健一

【手数料の表示】

【予納台帳番号】 015244

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スピン依存伝達特性を有するトンネルトランジスタ及びそれを用いた不揮発性メモリ

【特許請求の範囲】

【請求項 1】 伝導キャリアを注入する強磁性体からなるソース（以下、「強磁性ソース」と称する。）と、

該強磁性ソースから注入された伝導キャリアを受けるドレインと、前記強磁性ソースと前記ドレインとの間に設けられ強磁性体からなるトンネル障壁（以下、「強磁性トンネル障壁」と称する。）と、

前記強磁性トンネル障壁に対して形成され、該強磁性トンネル障壁に電界を印加することにより前記強磁性ソースから前記ドレインへのキャリアの伝導を制御するゲート電極とを有し、

前記伝導キャリアが電子の場合には強磁性トンネル障壁における伝導帯のエネルギー bandwidth 端がスピン分裂しており、前記伝導キャリアが正孔の場合には強磁性トンネル障壁における価電子帯のエネルギー bandwidth 端がスピン分裂していることを特徴とするトランジスタ。

【請求項 2】 前記強磁性トンネル障壁と前記ゲート電極との間に形成されたゲート絶縁膜を有することを特徴とする請求項 1 に記載のトランジスタ。

【請求項 3】 前記強磁性トンネル障壁は、

前記強磁性ソースに対する前記強磁性トンネル障壁の相対的な磁化の向きが同じ方向（以下、「平行磁化」と称する。）である場合に、前記強磁性ソースの多数スピンに対するトンネル障壁が低く、前記強磁性ソースに対する前記強磁性トンネル障壁の相対的な磁化の向きが互いに反対方向（以下「反平行磁化」と称する。）である場合には、前記強磁性ソースの多数スピンに対するトンネル障壁が高く形成されることを特徴とする請求項 1 又は 2 に記載のトランジスタ。

【請求項 4】 前記強磁性トンネル障壁は、前記強磁性ソースと前記強磁性トンネル障壁とが平行磁化である場合に、前記ゲート電極に対して印加する電圧（以下、「ゲート電圧」と称する。）により、前記強磁性ソースの多数スピンに対する前記強磁性トンネル障壁のトンネル確率を制御できることを特徴とする請

求項1又は2に記載のトランジスタ。

【請求項5】 前記強磁性トンネル障壁は、

前記強磁性ソースと前記強磁性トンネル障壁とが平行磁化である場合に、ゲート電圧を前記強磁性トンネル障壁に対して印加することにより、前記強磁性ソースの多数スピンが前記強磁性トンネル障壁をトンネルすることによる電流を生じる程度の厚さを有することを特徴とする請求項1又は2に記載のトランジスタ。

【請求項6】 前記強磁性ソースと前記強磁性トンネル障壁とが平行磁化である場合に、ゲート電圧の印加によって前記強磁性ソースと前記ドレインとの間に、定められたあるトンネル電流を生じさせるゲート電圧として定義されるしきい値を有することを特徴とする請求項1又は2に記載のトランジスタ。

【請求項7】 前記強磁性ソースと前記強磁性トンネル障壁とが反平行磁化である場合には、強磁性ソースの多数スピンに対する前記強磁性トンネル障壁のバリア高さが前記エネルギー bandwidth 端におけるスピン分裂の幅だけ高くなることにより前記強磁性ソースと前記強磁性ドレインとの間に生じるトンネル電流が平行磁化の場合に比べて小さくなることを特徴とする請求項6に記載のトランジスタ。

【請求項8】 同一バイアス下において、前記強磁性ソースと前記強磁性トンネル障壁との相対的な磁化の向きにより相互コンダクタンスを制御できることを特徴とする請求項1又は2に記載のトランジスタ。

【請求項9】 前記ドレインが、非磁性体又は強磁性体のいずれかであることを特徴とする請求項1から8までのいずれか1項に記載のトランジスタ。

【請求項10】 基板と、

該基板上に形成された接合構造体であって、伝導キャリアを注入する強磁性ソースと、該強磁性ソースから注入された伝導キャリアを受けるドレインと、前記強磁性ソースと前記ドレインとの間に設けられた強磁性トンネル障壁との接合構造体と、前記強磁性トンネル障壁に電界を印加することにより前記強磁性ソースから前記ドレインへのキャリアの伝導を制御するゲート電極と、を有し、

前記伝導キャリアが電子の場合には強磁性トンネル障壁における伝導帯底のエネルギー bandwidth 端がスピン分裂しており、前記伝導キャリアが正孔の場合には強

磁性トンネル障壁における価電子帯頂上のエネルギー・バンド端がスピン分裂しており、

、前記接合構造体の接合面が、前記基板の法線方向と略等しい方向であることを特徴とするトランジスタ。

【請求項11】 前記ゲート絶縁膜は、前記接合構造体における接合面の露出する上部に形成されていることを特徴とする請求項10に記載のトランジスタ。

【請求項12】 基板と、

該基板上に形成された接合構造体であって、伝導キャリアを注入する強磁性ソースと、該強磁性ソースから注入された伝導キャリアを受けるドレインと、前記強磁性ソースと前記ドレインとの間に設けられた強磁性トンネル障壁との接合構造体と、前記強磁性トンネル障壁に電界を印加することにより前記強磁性ソースから前記ドレインへのキャリアの伝導を制御するゲート電極と、を有し、

前記伝導キャリアが電子の場合には強磁性トンネル障壁における伝導帯底のエネルギー・バンド端がスピン分裂しており、前記伝導キャリアが正孔の場合には強磁性トンネル障壁における価電子帯頂上のエネルギー・バンド端がスピン分裂しており、

前記接合構造体の接合面が、前記基板面と平行な方向と略等しい方向であることを特徴とするトランジスタ。

【請求項13】 前記ゲート絶縁膜は、前記接合構造体における接合面の露出する側面に形成されていることを特徴とする請求項12に記載のトランジスタ。

【請求項14】 請求項1から13までのいずれか1項に記載の1つのトランジスタを用いて、前記強磁性ソースと前記強磁性トンネル障壁との相対的な磁化の方向によって情報を記憶し、前記強磁性ソースと前記強磁性トンネル障壁との相対的な磁化の方向に依存するトランジスタの相互コンダクタンスに基づく出力特性から前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

【請求項15】 請求項1から13までのいずれか1項に記載の1つのトランジ

ンジスタと、

前記強磁性ソースを接地する第1の配線と、

前記ドレインと接続する第2の配線と、

前記ゲート電極と接続する第3の配線と

を有する記憶素子。

【請求項16】 請求項1から13までのいずれか1項に記載の1つのトランジスタと、

前記強磁性ソースを接地する第1の配線と、

前記ドレインと接続する第2の配線と、

前記ゲート電極と接続する第3の配線と、

前記第2の配線の一端に形成される出力端子と、

前記第2の配線から分岐し負荷を介して電源と接続する第4の配線と

を有する記憶素子。

【請求項17】 さらに、前記トランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とを有することを特徴とする請求項15又は16に記載の記憶素子。

【請求項18】 前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記第2の配線および前記第3の配線、又は、前記第2の配線又は前記第3の配線のいずれか一方を用いることを特徴とする請求項17に記載の記憶素子。

【請求項19】 前記第1の別配線及び第2の別配線、又はこれらを置き換えた前記第2の配線及び前記第3の配線、又は前記第1の別配線又は第2の別配線のいずれか一方を置き換えた前記第2の配線又は前記第3の配線と、これらに置き換えられなかつた方の前記第1の別配線又は前記第2の別配線に電流を流すことにより誘起される磁場により、前記強磁性ソース又は前記強磁性トンネル障壁の磁化を反転させ、前記強磁性ソースに対する強磁性トンネル障壁の相対的な磁化状態を変化させることにより情報の書き換えを行なうことを特徴とする請求項17又は18に記載の記憶素子。

【請求項20】 前記第3の配線に対して第1のバイアスを加え、前記第1

の配線と第2の配線との間に第2のバイアスを加えた場合の前記トランジスタの出力特性に基づき情報の読み出しを行うことを特徴とする請求項17又は18に記載の記憶素子。

【請求項21】 前記第3の配線に対して第1のバイアスを印加した場合において、前記電源と前記第1の配線との間に生じる前記負荷と前記トランジスタとを介する電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求項16から20までのいずれか1項に記載の記憶素子。

【請求項22】 マトリックス状に配置された請求項1から13までのいずれか1項に記載のトランジスタと、

前記強磁性ソースをそれぞれ接地する第1の配線と、
列方向に並ぶ前記トランジスタの前記ゲート電極を共通に接続する複数本のワード線と、
行方向に並ぶ前記トランジスタの前記強磁性ドレインを共通に接続する複数本のビット線と
を有する記憶回路。

【請求項23】 マトリックス状に配置された請求項1から13までのいずれか1項に記載のトランジスタと、

前記前記強磁性ソースをそれぞれ接地する第1の配線と、
列方向に並ぶ前記トランジスタの前記ゲート電極を共通に接続する複数本のワード線と、
行方向に並ぶ前記トランジスタの前記ドレインを共通に接続する複数本のビット線と、

該ビット線のそれぞれの一端に形成される出力端子と、
該ビット線のそれぞれから分岐し負荷を介して電源に接続する第2の配線と
を有する記憶回路。

【請求項24】 さらに、前記トランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とを有することを特徴とする請求項22又は23に記載の記憶回路。

【請求項 25】 前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ビット線、又は、前記ワード線又は前記ビット線のいずれか一方を用いることを特徴とする請求項24に記載の記憶回路。

【請求項 26】 前記第1の別配線及び第2の別配線、又はこれらを置き換えた前記ワード線及び前記ビット線、又は前記第1の別配線又は第2の別配線のいずれか一方を置き換えた前記ワード線又は前記ビット線と、これらに置き換えられなかつた方の前記第1の別配線又は第2の別配線に電流を流すことにより誘起される磁場により、前記強磁性ソース又は強磁性トンネル障壁の磁化を反転させ、前記強磁性ソースに対する前記強磁性トンネル障壁の相対的な磁化状態を変化させることにより情報の書き換えを行なうことを特徴とする請求項24又は25に記載の記憶回路。

【請求項 27】 前記ワード線に対して第1のバイアスを加え、前記第1の配線と前記ビット線との間に第2のバイアスを加えた場合の前記トランジスタの出力特性に基づき情報の読み出しを行うことを特徴とする請求項22又は23に記載の記憶回路。

【請求項 28】 前記ワード線に対して第1のバイアスを印加した場合において、前記電源と前記第1の配線との間に生じる前記負荷と前記トランジスタとを介する電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求項23から26までのいずれか1項に記載の記憶回路。

【請求項 29】 請求項1から11でのいずれか1項に記載の第1及び第2の2つのスピントランジスタと、

前記第1及び前記第2のトランジスタに共通の強磁性ソースを接地する第1の配線と、

前記第1のトランジスタが有するドレインと前記第2のトランジスタが有するドレインとをそれぞれ接続する第2及び第3の配線と、

前記第1のトランジスタが有するゲート電極と前記第2のトランジスタが有するゲート電極とを接続する第4の配線と

を有する記憶回路。

【請求項30】 マトリックス状に配置された請求項12又は13に記載の複数のトランジスタであって、

前記基板又は前記基板側に設けられたコンタクト層と前記トランジスタのそれぞれの強磁性ソースとが共通に接続されて接地されているトランジスタと、行方向に並ぶ複数の前記トランジスタが有するドレインを共通に接続するビット線と、

列方向に並ぶ複数の前記トランジスタが有するゲート電極を共通に接続するワード線と

を有する記憶回路。

【請求項31】 請求項1から13までのいずれか1項に記載のトランジスタであって、前記ソース又はソース及びドレインがハーフメタル強磁性体により構成されていることを特徴とするトランジスタ。

【請求項32】 請求項1から13までのいずれか1項又は請求項31に記載のトランジスタであって、

さらに前記強磁性ソースと前記強磁性トンネル障壁との間に非磁性体が設けられていることを特徴とするトランジスタ。

【請求項33】 伝導キャリアを注入する強磁性ソースと、該強磁性ソースから注入された伝導キャリアを受けるドレインと、前記強磁性ソースと前記ドレインとの間に設けられた強磁性トンネル障壁とを有し、

前記伝導キャリアが電子の場合には強磁性トンネル障壁における伝導帯のエネルギー bandwidth 端がスピン分裂しており、前記伝導キャリアが正孔の場合には強磁性トンネル障壁における価電子帯のエネルギー bandwidth 端がスピン分裂していることを特徴とする2端子磁気抵抗素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、新規なトランジスタに関し、より詳細には、スピン依存伝達特性を

有するトランジスタと、それを用いた不揮発性記憶回路（不揮発性メモリ）に関する。

【0002】

【従来の技術】

近年の高度情報化社会の発展は目覚しく、特に最近では“モバイル機器”を媒介として急速に民間に広がってきてている。“モバイル機器”という大きな需要は今後の半導体産業の要になりうると認識されているが、この対応には半導体集積回路の高速化・低消費電力化・大容量化といった従来通りの高性能化に加え、情報の不揮発といった新たな要求に応じる必要が生じる。このような要求に対して、不揮発高密度記録として優れた強磁性体ストレージ技術と半導体集積エレクトロニクス技術とを融合させた新しいメモリデバイスが注目を集めている（例えば、非特許文献1参照）。このデバイスは磁気ランダムアクセスメモリ（magnetoresistive random access memory；以下、「MRAM」と称する。）と呼ばれ、薄い絶縁性のトンネル障壁を強磁性電極で挟み込んだ構造を持つ強磁性トンネル接合（magnetic tunnel junction；以下「MTJ」と称する）をその記憶素子として用いる。

【0003】

MTJでは強磁性電極間の相対的な磁化の方向によってトンネル抵抗が異なるトンネル磁気抵抗（tunneling magnetoresistance；以下「TMR」と称する）効果を有することから、これを用いれば強磁性体の磁化状態を電気的に検出することが可能となる。したがって、MTJの存在によって強磁性体による情報の不揮発ストレージ技術を半導体集積エレクトロニクスに理想的に取り込むことが可能となる。

【0004】

以下、図8を参照して従来技術の一例について説明する。図8に示すように、MRAMのメモリセル100では、1ビットのメモリセルを1つのMTJ101と1つのMOSトランジスタ103により構成する方法が主に用いられる。MTJ101は、第1の強磁性電極105と、第2の強磁性電極107と、両者の間に設けられた絶縁体により形成されたトンネル障壁108とからなるトンネル

接合である。

【0005】

MOSトランジスタ103のソース(S)を接地(GND)し、ドレイン(D)をMTJ101の一方の強磁性電極107にプラグPLなどを用いて接続する。MTJ101の他方の強磁性電極105はビット線BLに接続し、書き換え用のワード線111は、MTJ101の直上または直下でMTJ101及び他の配線と、絶縁膜115により電気的に絶縁した状態でビット線BLと交差するよう配置する。読み出し用ワード線WLはMOSトランジスタ103のゲート電極Gに接続する。

【0006】

強磁性体では、磁化の方向を不揮発に保持することができるので、MTJでは強磁性電極間の相対的な磁化状態を平行磁化または反平行磁化とすることによって、2値の情報を不揮発に記憶することができる。また、MTJではTMR効果のため2つの強磁性電極間における相対的な磁化状態でトンネル抵抗が異なる。よって、平行磁化、反平行磁化といった磁化状態に対応したトンネル抵抗を用いればMTJ内の磁化状態を電気的に検出することができる。

【0007】

情報の書き換えは、MTJ101における2つの強磁性電極105、107の保持力を変えておくか、一方の強磁性電極の磁化方向を固定しておき、保持力の小さな強磁性電極または磁化方向の固定されていない強磁性電極を磁化反転させることによって行なう。以下、磁化反転を行う強磁性をフリー層、磁化反転を行わない強磁性体をピン層と呼ぶ。具体的には、選択メモリセル上で交差するビット線BLと書き換え用ワード線111とのそれぞれに電流を流し、それぞれの電流によって誘起される磁界の合成磁界によって選択されたメモリセル100内のMTJ101の磁化状態のみを平行磁化または反平行磁化に変化させる。この際、選択したメモリセルと同一のビット線BLまたは書き換え用ワード線111を有する非選択メモリセルが磁化反転しないように、一方の配線のみからの磁界では非選択メモリセルのMTJ101が磁化反転をしないようにそれぞれの配線に流す電流値を設定しておく。情報の読み出しは、選択セルに接続された読み出し

用のワード線WLに電圧を印加してMOSトランジスタ103を導通させてから、ビット線BLを介して読み出し用の駆動電流をMTJ101に流す。MTJ101では、TMR効果によって平行磁化または反平行磁化の磁化状態によってトンネル抵抗が異なるため、読み出し用の駆動電流によるMTJ101における電圧降下（以下、「出力電圧」と呼ぶ）を検出すれば磁化状態を判定することができる（非特許文献1参照）。

【0008】

【非特許文献1】

K. Inomata, "Present and future of magnetic RAM technology", I EICE Trans. Electron. Vol.E84-C, pp740-746, 2001

【0009】

【発明が解決しようとする課題】

MTJは、トンネル障壁を介して相対する強磁性電極の磁化状態が平行磁化であるか反平行磁化であるかに対応して2値の抵抗値をとる。この2値の情報のいずれの情報が記憶されているかを駆動電流で高感度に検出するためには、MTJ自身のインピーダンス（接合抵抗）を調節して出力電圧の大きさを最適化する必要がある。

【0010】

さらに、情報の記憶内容を正確に読み出すために、平行磁化と反平行磁化との2つの磁化状態間における出力信号の比を大きくする必要がある。このためには、TMR比と呼ばれるMTJが平行磁化を持つ場合と反平行磁化を持つ場合とのそれぞれにおけるTMRの変化率を大きくする必要がある。TMR比は、強磁性電極のスピンドル率Pに依存する。従って、TMR比を大きくとるためには、Pの値が大きな強磁性体を強磁性電極に用いることが必要である。

【0011】

また、MTJにおけるTMR比は、MTJに加わる電圧に強く依存し、この電圧とともに急激に減少する。高速に情報の読み出しを行なうために大きな駆動電流をMTJに流すと、MTJにおける電圧降下が大きくなり、TMR比が減少する。従って、TMR比は、高速性とのトレードオフになる。そこで、MTJにおける

る大きな電圧降下が生じてもTMR比が減少しないように、TMR比の耐バイアスが必要になる。

【0012】

MRAMは、構造がシンプルで、またMTJはナノスケールのサイズまで微細化できることから、高密度集積化に適したメモリである。数ギガビット以上の高集積度を実現しようとすると、MOSトランジスタのチャネル長は0.1μm程度以下となることが予想されるが、このような微細なトランジスタに合わせて微細なMTJを集積化しようとしても、コンタクト、多層配線がセル面積を占有するようになり、両者を超高密度に集積することが難しくなる。従って、より簡単な構造を有するメモリセルが望まれる。

【0013】

本発明は、電気伝導性強磁性体と絶縁性強磁性体との接合によるスピンドル効果を利用した新しいトランジスタを提供することを目的とする。加えて、このトランジスタ単体で1ビットのメモリセルを構成することにより大容量の不揮発性メモリを提供することを目的とする。

【0014】

【課題を解決するための手段】

本発明によれば、伝導キャリアを注入する強磁性体からなるソース（強磁性ソース）と、該強磁性ソースから注入された伝導キャリアを受けるドレインと、前記強磁性ソースと前記ドレインとの間に設けられた強磁性体からなるトンネル障壁（強磁性トンネル障壁）と、前記強磁性トンネル障壁に対して形成され、該強磁性トンネル障壁に電界を印加することにより前記強磁性ソースから前記ドレインへのキャリアの伝導を制御するゲート電極とを有し、前記伝導キャリアが電子の場合には強磁性トンネル障壁における伝導帯のエネルギー bandwidth 端がスピンドル分裂しており、前記伝導キャリアが正孔の場合には強磁性トンネル障壁における電子帯のエネルギー bandwidth 端がスピンドル分裂していることを特徴とするトンネルトランジスタが提供される。

【0015】

前記強磁性トンネル障壁は、前記強磁性ソースに対する前記強磁性トンネル障

壁の相対的な磁化の方向が同方向（平行磁化）である場合に、前記ゲート電極に對して印加する電圧（ゲート電圧）により、前記強磁性ソースの多数スピンが伝導キャリアとして前記強磁性トンネル障壁を透過するトンネル確率を制御できることが好ましい。例えば、前記強磁性トンネル障壁は、前記強磁性ソースと前記強磁性トンネル障壁とが平行磁化の場合に、ゲート電圧を前記強磁性トンネル障壁に對して印加することにより、実効的なトンネル障壁の厚さを減少させ、前記強磁性ソースの前記多数スピンが前記強磁性トンネル障壁をトンネルすることに基づく電流が生じる程度の厚さを有する。

【0016】

一方、前記強磁性ソースに対する前記強磁性トンネル障壁の相対的な磁化の向きが互いに反対方向（反平行磁化）である場合には、前記強磁性ソースにおける多数スピンに対する前記強磁性トンネル障壁のバリア高さが前記エネルギー・バンド端におけるスピン分裂の幅だけ高くなることにより、平行磁化の場合に比べて前記強磁性ソースと前記ドレインとの間に生じるトンネル電流が小さくなる。従って、このトランジスタでは、同一バイアス下であっても、強磁性ソースと強磁性トンネル障壁との相対的な磁化の方向によって相互コンダクタンスが変化する。

【0017】

マトリックス状に配置された上記トランジスタと、前記強磁性ソースをそれぞれ接地する第1の配線と、列方向に並ぶ前記トランジスタの前記ゲート電極を共通に接続する複数本のワード線と、行方向に並ぶ前記トランジスタの前記ドレインを共通に接続する複数本のビット線とを有する記憶回路が提供される。

【0018】

さらに、前記トランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とを設けることができる。また、前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ビット線、又は、前記ワード線又は前記ビット線のいずれか一方を用いることもできる。

【0019】

前記第1の別配線及び第2の別配線、又はこれらを置き換えた前記ワード線及び前記ビット線、又は前記第1の別配線又は第2の別配線のいずれか一方を置き換えた前記ワード線又は前記ビット線と、これらに置き換えられなかつた方の前記第1の別配線又は前記第2の別配線に電流を流すことにより誘起される磁場により、前記強磁性ソース又は強磁性トンネル障壁の磁化を反転させ、前記強磁性ソースと前記強磁性トンネル障壁との間の相対的な磁化状態を変化させることにより磁化の方向として記憶される情報の書き換えを行なうことが可能である。

【0020】

前記ワード線に対して第1のバイアスを加え、前記第1の配線と前記ビット線との間に第2のバイアスを加えた場合の前記トランジスタの出力特性に基づき情報の読み出しを行なうことができる。

【0021】

また、前記記憶回路の前記ビット線の一端のそれぞれに形成される出力端子と、該ビット線のそれから分岐し負荷を介して電源に接続する第2の配線とを有する記憶回路が提供される。この場合では、前記ワード線に対して第1のバイアスを印加した場合において、前記電源と前記第1の配線との間に生じる前記負荷と前記トランジスタを介する電流による前記負荷の電圧降下に基づく出力電圧により、情報の読み出しを行なうことができる。

上記回路を用いれば、高密度に集積化が可能で、トランジスタ内の磁化状態に応じた出力電圧を負荷と電源により設計可能な不揮発性記憶回路が提供できる。

【0022】

【発明の実施の形態】

本研究に係るトランジスタは、強磁性ソースと強磁性トンネル障壁との接合によるスピニ依存トンネル効果を利用した新しいトランジスタである。より詳細には、絶縁性の強磁性トンネル障壁を強磁性ソースとドレインとで挟み込んだトンネル接合と、この強磁性トンネル障壁に対して形成され強磁性トンネル障壁に電界を印加することのできるゲート電極とを含んで構成されるトランジスタである。

【0023】

尚、「スピン」という用語は、通常、角運動量に対して用いられるが、以下では特定のスピンの向きを有するキャリアの意味でも用いる。また、強磁性トンネル障壁の磁化の方向はエネルギー-band端におけるスピンバンドのスピンの向きによって決まるとする（例えば伝導帯のバンド端がスピン分裂している場合には強磁性トンネル障壁のエネルギー-band端におけるスピンバンドのスピンの向きと反対の方向が磁化の向きとなる。）。

【0024】

強磁性トンネル障壁のバンド端では、アップスピンバンドとダウンスピンバンドとがスピン分裂しているため、強磁性ソースから見たトンネル障壁のバリア高さはアップスピンとダウンスピンとで異なる。従って、強磁性トンネル障壁のトンネル確率は強磁性ソースにおけるキャリアのスピンの向きに依存する。ゲート電圧を強磁性トンネル障壁に対して印加して強磁性トンネル障壁のポテンシャル形状を変化させることにより、トンネル確率を変化させて強磁性ソースとドレインとの間に生じるトンネル電流を制御するため、このトンネル電流の大きさは強磁性ソースにおける多数スピンのスピンの向きに対する強磁性トンネル障壁のエネルギー-band端におけるスpinバンドのスpinの向きに依存する。すなわち、強磁性ソースと強磁性トンネル障壁との相対的な磁化の方向に依存する。

【0025】

強磁性ソースにおける多数スピンのスpinの向きと強磁性トンネル障壁のエネルギー-band端におけるスpinバンドのスpinの向きとが一致する場合を平行磁化とし、これらスpinの向きが互いに反対方向である場合を反平行磁化とする。平行磁化の場合では、強磁性ソースの多数スpinから見た強磁性トンネル障壁のバリア高さは低く、ゲート電圧によって容易にドレイン電流を得ることができる。これに対して、反平行磁化の場合では強磁性ソースの多数スpinから見た強磁性トンネル障壁のバリア高さは高く、平行磁化の場合と同一のバイアスを印加してもドレイン電流は平行磁化の場合に比べて小さくなる。従って、上記トランジスタは、強磁性ソースと強磁性トンネル障壁との相対的な磁化の方向によって相互コンダクタンスが異なる。

【0026】

上記トランジスタは、磁場などによって強磁性ソースと強磁性トンネル障壁の相対的な磁化の向きを変化させることによって情報を記憶し、トランジスタの伝達特性からトランジスタ内に記憶された情報を電気的に読み出すことができる。従って、1つの上記トランジスタのみで1ビットの不揮発性のメモリセルを構成することができる。

【0027】

上記考察に基づいて、以下に本発明の実施の形態について、図面を参照して説明する。まず、本発明の第1の実施の形態によるトランジスタについて図面を参照して説明する。

【0028】

図1は、本発明の第1の実施の形態によるトランジスタの断面構造例を示す図である。図1に示すように、本実施の形態によるトランジスタ1は、強磁性ソース3と強磁性トンネル障壁7とドレイン5との接合を有するトンネル接合構造体と、強磁性トンネル障壁7に対して形成されたゲート絶縁膜11とゲート電極15とを有し、上記強磁性トンネル障壁7に対して電界を印加できる制御電極構造体とを含んで構成され、全体としてトランジスタ1を形成する。

【0029】

強磁性ソースには、Ni、Co、Fe、パーマロイなどの強磁性金属やGaMnAsや磁性元素を含む半導体などの電気伝導性の強磁性半導体が用いられる。強磁性トンネル障壁にはEuSなどの絶縁性の強磁性半導体やガーネットなどの強磁性絶縁体が用いられる。ドレインにはAl、Au、非磁性シリサイドなどの非磁性金属やドープしたSi、GaAsなどの電気伝導性の非磁性半導体が用いられる。但し、強磁性半導体と非磁性半導体を、それぞれ強磁性ソースとドレインとに用いる場合では両者を同一の伝導型にする必要がある。

【0030】

伝導キャリアは、強磁性ソースに強磁性金属又はn型強磁性半導体を用いた場合では電子となり、強磁性トンネル障壁は伝導帯の底がスピン分裂している必要がある。また、強磁性ソースとしてp型強磁性半導体を用いた場合は、伝導キャリアは正孔となり、強磁性トンネル障壁における価電子帯の頂上がスピン分裂し

ている必要がある。

【0031】

図2 (a) は、図1に示すトランジスタの強磁性ソースとドレインとを、それぞれ強磁性金属と非磁性金属とで構成した場合のエネルギー・バンド構造の例を示す図である。強磁性ソース3とドレイン5における実線と強磁性トンネル障壁7における破線とは、フェルミエネルギー E_f を示す。また、強磁性トンネル障壁7の伝導帯底にある近接した2本の実線21、25は、それぞれアップスピンドとダウスピンドのバンド端を表す。

【0032】

図中に示した上向きと下向きの矢印はアップスピンドとダウスピンドを表す。強磁性ソースのフェルミエネルギー E_f 上に示した矢印は、多数スピンドの向きを表し、少数スピンドの表示は省略している。また同様に、上向きと下向きの矢印を用いて強磁性トンネル障壁7におけるアップスピンド端21とダウスピンド端25を表す。ドレイン5では、フェルミエネルギー E_f 上に示した上向き及び下向きの2つ並べられた矢印を用いて非磁性体であることを表す（上記各領域における上向きと下向きの矢印に関しては、以下の図でも同様の意味で用いる。）。

【0033】

△は、強磁性トンネル障壁7におけるアップスピンド21とダウスピンド25とのスピンド分裂幅を表す。強磁性ソース3に対する強磁性トンネル障壁7のバリア高さは、アップスピンドとダウスピンドとで異なるが、低い方のバリア高さを ϕ とする。すなわち、強磁性ソース3のフェルミエネルギー E_f と強磁性トンネル障壁7の伝導帯における最も低いエネルギーを有するスピンドの底のエネルギーとの差を ϕ とする。

【0034】

図2 (b) は、図1に示すトランジスタの強磁性ソース3とドレイン5を、それぞれn型強磁性半導体およびn型非磁性半導体により構成した場合のエネルギー・バンド構造を示す図である。強磁性ソース3aとドレイン5aにおける実線 E_c は、伝導帯底のエネルギーを表す。また、強磁性ソース3a、ドレイン5a及

び強磁性トンネル障壁7aにおける破線は、フェルミエネルギー E_f を表す。

【0035】

図2 (a) の場合と同様に、 Δ は強磁性トンネル障壁におけるアップスピンド21aとダウンスピンド25aとのスピンド分裂幅を表し、ソース電極3aの伝導帯底と強磁性トンネル障壁7aの伝導帯における最も低いエネルギーを有するスピンド底のエネルギーとの差を ϕ とする。図2 (b) では、非縮退の強磁性半導体と非磁性半導体とを用いた場合を示しているが、縮退した強磁性半導体と非磁性半導体を用いてそれぞれ強磁性ソース3aとドレイン5aを構成することもできる。

【0036】

図2 (c) は、図1に示すトランジスタの強磁性ソース3とドレイン5とを、それぞれ、p型強磁性半導体とp型非磁性半導体とで構成した場合のエネルギーバンド構造を示す図である。強磁性ソース3bとドレイン5bにおける実線 E_V は、価電子帯頂上のエネルギーを表す。また、強磁性ソース3b、ドレイン5bと強磁性トンネル障壁7bにおける破線は、フェルミエネルギーを表す。強磁性トンネル障壁7bの価電子帯頂上に存在する近接した2本の実線は、アップスピンド21bとダウンスピンド25bのバンド端を表す。 Δ は、強磁性トンネル障壁7bにおけるアップスピンド25bとダウンスピンド21bとのスピンド分裂幅を表し、強磁性ソース5bの価電子帯頂上と強磁性トンネル障壁7bの価電子帯における最も高いエネルギーを有するスピンド頂上のエネルギーとの差を ϕ とする。図2 (c) においては、非縮退の強磁性半導体と非磁性半導体を用いた場合を示しているが、縮退した強磁性半導体と非磁性半導体を用いてそれぞれ強磁性ソース3bとドレイン5bとを構成することもできる。

【0037】

図1において、強磁性ソース3における多数スピンドの向きと強磁性トンネル障壁7のバンド端となるスピンドのスピンドの向きとが一致する場合が平行磁化となる。また、反平行磁化は、これらスピンドの向きが互いに反対方向である場合となる。強磁性ソースの多数スピンドに対する強磁性トンネル障壁のバリア厚さは、平行磁化の場合では ϕ 、反平行磁化の場合では $\phi + \Delta$ となる。従って、強磁性

ソース3に対するトンネル障壁7の相対的な磁化の向きを、例えば磁場を印加することにより平行磁化から反平行磁化に変化させることで、強磁性ソースの多数スピンの感じるバリア高さを ϕ から $\phi + \Delta$ に増加させることができる。

【0038】

ゲート絶縁膜11の厚さは、ゲート電極に印加した電圧によって強磁性トンネル障壁のポテンシャル形状を変化できる程度の薄さであって、ゲート電圧印加時にゲート電極15と強磁性ソース3又はドレイン5との間にリーク電流（トンネル電流など）がほとんど生じない程度の厚さを有していることが好ましい。

【0039】

強磁性トンネル障壁の膜厚は、強磁性体ソースと強磁性体トンネル障壁が平行磁化を持つ場合に、強磁性ソース3とドレイン5間のバイアス V_{DS} のみの印加時には、ソースからドレインにダイレクトトンネルやFowler-Nordheimトンネリング（以下、「FNトンネル」と称する。）などのトンネル効果による電流がほとんど生じない程度の厚さに設定しておき、 V_{DS} の印加によって生じる強磁性トンネル障壁7のバンド端における三角形状のポテンシャル形状を、ゲート電極15と強磁性ソース電極3との間のバイアス V_{GS} の印加により、変形させることによってトンネル電流が生じるようにする。

【0040】

以下、図2(a)に示した強磁性金属を強磁性ソースに用い、伝導キャリアが電子である場合を例に、図3を参照して本実施の形態によるトランジスタ1の動作を詳細に説明する。強磁性ソース3と強磁性トンネル障壁7とが平行磁化である場合では、強磁性ソース3の多数スピンと平行なスピンのスピンバンドが強磁性トンネル障壁7のバンド端になるので、強磁性ソースの多数スピンから見たバリア高さは ϕ となる。ソース3、ドレイン5との間にバイアス V_{DS} を印加すると、強磁性トンネル障壁のポテンシャル形状は、図2(a)に示す矩形状から図3(a)に示すように三角形状に変化する。このとき、 V_{DS} はFNトンネルによる電流がほとんど流れない程度の大きさである。すなわち、 V_{DS} の印加によって強磁性ソース3のフェルミエネルギーが強磁性トンネル障壁7のバンド端を横切つても、強磁性ソース/強磁性トンネル障壁の界面から強磁性ソースのフェル

ミエネルギーと強磁性トンネル障壁のバンド端が交差するまでの距離 d は FN トンネルが生じない程度に長い。

【0041】

さらに、ゲート電極にバイアス V_{GS} (> 0) を印加すると、ゲート電極から強磁性ソースに向かう電気力線が、ドレインから強磁性ソースに向かう電気力線に重なるため、強磁性ソース／強磁性トンネル障壁の界面近傍の電界が強くなり、図3 (b) に示すようなポテンシャル形状が形成される。従って、三角形状ポテンシャル障壁の幅が、トンネルのほとんど生じない d からトンネルの可能な d' へ減少すれば、強磁性ソース 3 の多数スピンは強磁性トンネル障壁 7 を透過することができる。従って、強磁性ソース 3 とドレイン 5との間にドレイン電流が生じる。一方、強磁性ソース 3 の少数スピンに対するバリア高さは ϕ よりさらに Δ だけ高く、また、少数スピンのキャリア密度が小さいことから、少数スピンによるドレイン電流は小さい。よって、ドレイン電流は強磁性ソース電極 3 の多数スピンと少数スピンによるトンネル電流の和となるが、多数スピンによるトンネル電流が支配的となる。

【0042】

V_{GS} によるトンネル障壁の幅の変化に対して、トンネル確率は指数関数的に増加するため、微小な V_{GS} の変化に対して I_D は大きき変化する。よって、高い相互コンダクタンスを得ることが出来る。

【0043】

図3 (c) に示すように、強磁性ソースと強磁性トンネル障壁とが反平行磁化を持つ場合は、強磁性ソースの多数スピンに対するバリア高さは $\phi + \Delta$ となり、強磁性ソースの少数スピンに対するバリア高さが ϕ となる。よって、反平行磁化の場合では、多数スピンのトンネル確率は図3 (b) の場合と同一のバイアス V_{DS} と V_{GS} を印加しても低くドレイン電流はほとんど生じない。強磁性ソース 3 の少数スピンに対する強磁性トンネル障壁 7 のバリア高さは ϕ であることから、少数スピンに対してはトンネル確率は大きいが、少数スピンのキャリア密度は小さいことから、少数スピンのトンネルによって生じるドレイン電流は小さい。従つて、反平行磁化の場合にもドレイン電流は強磁性ソースの多数スピンと少数スピー

ンによる電流の和となるが、その大きさは平行磁化の場合に比べて小さい。よって、反平行磁化の場合の相互コンダクタンスは小さい。

【0044】

図4を参照して、図1から図3までに示すトランジスタの電流-電圧特性について説明する。図4は、 V_{GS} をパラメータとしたトランジスタ1のドレイン電流 I_D の V_{DS} 依存性を示す概念図である。強磁性ソース3と強磁性トンネル障壁7とが平行磁化である場合に、決められたあるドレイン電流を生じる V_{GS} を V_T とする。平行磁化の場合に、ゲート電極に V_T 以上の $V_{GS}=V_1 (> V_T)$ 印加すると、上述のように強磁性ソースにおける多数スピンに対するトンネル障壁のバリア高さが低いこと、およびゲート電圧によって実効的なトンネル障壁の幅が狭くなることから、強磁性ソース3の多数スピンのトンネルによるドレイン電流($I_{D\uparrow\uparrow}$)35が生じる。 V_{GS} の大きさによって、実効的なトンネル障壁の幅を制御できることから、ドレイン電流35は、 V_{GS} によって制御できる。

【0045】

また、 V_{GS} を印加した場合における強磁性ソース/強磁性トンネル障壁界面近傍のポテンシャル形状の変化が、主としてゲート電圧による電界変化に起因する場合は、トンネル確率が V_{DS} に依存しないため、図4に示すようにドレイン電流は V_{DS} に対して飽和特性が得られる。

【0046】

一方、強磁性ソースと強磁性トンネル障壁が反平行磁化を持つ場合は、上記のように強磁性ソースの多数スピンに対するトンネル障壁のバリア高さは高く(ϕ+Δ)、トンネル確率は小さい。少数スピンに対してはバリア高さは低く(ϕ)トンネル確率は大きいが、キャリア密度が小さい。従って、反平行磁化の場合では、 $V_{GS}=V_1 > V_T$ の場合であっても、平行磁化の場合に比べて小さなドレイン電流($I_{D\downarrow\uparrow}$)33のみを生じる。

【0047】

従って、上記トランジスタは、ドレイン電流をゲート電圧で制御できるトランジスタとしての性質を備えるとともに、強磁性ソース3と強磁性トンネル障壁7との相対的な磁化が、平行磁化をもつ場合には、相互コンダクタンスが大きく、

反平行磁化の場合には、相互コンダクタンスが小さいという特徴的な性質を有する。

【0048】

強磁性体では、外部から保磁力以上の磁場が印加されない限り、磁化の方向を安定に保持することができる。このため、上記トランジスタは、強磁性ソース3と強磁性トンネル障壁7との相対的な磁化を平行磁化又は反平行磁化にすることによって2値の情報を不揮発に記憶することができる。例えば、強磁性ソース3と強磁性トンネル障壁7に保磁力の差を与えるか、又は、一方の磁化の方向を固定しておき、信号線による磁場などによって強磁性ソース3と強磁性トンネル障壁7間を平行磁化とすれば“0”の情報を記憶させることができ、反平行磁化とすれば“1”の情報を記憶させることができる。上記トランジスタは、上述のようにドレイン電流の大きさ又は相互コンダクタンスの大きさから、強磁性ソース3と強磁性トンネル障壁7との間の相対的な磁化状態を電気的に検出することができる。従って、1つの上記トランジスタのみで1ビットの不揮発性メモリセルを構成することができる。

【0049】

尚、図1においては、強磁性トンネル障壁7上を覆うようにゲート絶縁膜11を形成し、このゲート絶縁膜11上にゲート電極15を形成した構造を示したが、例えば、強磁性トンネル障壁7が絶縁体であることを利用して、その上に直接ゲート電極15を形成することもできる。この場合には、例えば、ゲート電極15が強磁性ソースおよびドレインと電気的に接触しないような工夫が必要である。

【0050】

図5は、本発明の第2の実施の形態によるトランジスタの断面構造例を示す図である。図5に示すように、本実施の形態によるトランジスタ51は、強磁性体からなるソース（強磁性ソース）53と強磁性体からなるドレイン（強磁性ドレイン）55とによって強磁性トンネル障壁57を挟み込んだトンネル接合構造体と、強磁性トンネル障壁57に対して形成されたゲート絶縁膜61とゲート電極65とを有し、上記強磁性トンネル障壁57に対して電界を印加できる制御電極

構造体とを含んで構成され、全体としてトランジスタ51を形成する。

【0051】

強磁性ソース53と強磁性ドレイン55には、強磁性金属、電気伝導性の強磁性半導体などの電気伝導性強磁性体、強磁性トンネル障壁57には、絶縁性の強磁性半導体などの絶縁性強磁性体を用いる。但し、強磁性半導体を、強磁性ソースと強磁性ドレインとに用いる場合では両者を同一の伝導型にする必要がある。具体的な材料としては、上記した第1の実施の形態と同様のものが考えられる。

【0052】

また、第1の実施の形態と同様に、伝導キャリアは、強磁性ソース53に強磁性金属又はn型強磁性半導体を用いた場合では電子となり、強磁性トンネル障壁57は伝導帯の底がスピンドル分裂している必要がある。また、強磁性ソース53としてp型強磁性半導体を用いた場合は、伝導キャリアは正孔となり、強磁性トンネル障壁57における価電子帯の頂上がスピンドル分裂している必要がある。

【0053】

第2の実施の形態におけるバンド構造は、図2におけるバンド構造のドレインを強磁性体とすれば良い。また、第2の実施の形態においても第1の実施の形態と同様に△とφを決めることができる。強磁性ソース53における多数スピンドルの向きと、強磁性トンネル障壁57のエネルギー-band端におけるスピンドルのスピンドルの向きとが一致する場合を平行磁化とし、これらスピンドルの向きが互いに反対方向である場合を反平行磁化とする。強磁性ドレイン55の磁化は、ピン層と一致させてもフリー層と一致させても良い。

【0054】

特に、第2の実施の形態によるトンネルトランジスタでは、強磁性ソース53と強磁性ドレイン55と同じ材料で構成できるため、トランジスタの作製プロセスが大きく簡略化できるという特徴を有する。

【0055】

次に、本発明の第3の実施の形態によるトンネルトランジスタについて説明する。本実施の形態によるトランジスタは、第1の実施の形態によるトランジスタにおける強磁性ソースをハーフメタルに置き換えたものである。ハーフメタルで

は、一方のスピンに対しては金属的なバンド構造をとるが、もう一方のスピンに対しては絶縁体（半導体）的なバンド構造を有する。したがって、一方のスピンのみが伝導キャリアとなる。ハーフメタルにおける伝導キャリアのスピンの向き（金属的バンドのキャリアのスピンの向き）と、強磁性トンネル障壁のバンド端となるスピンバンドのスピンの向きとが一致する場合を平行磁化とし、これらスピンの向きが互いに反対方向である場合を反平行磁化とする。平行磁化の場合には、図3（b）の場合と同様に、強磁性ソースの金属的なバンドに属するスピンはバリア高さ ϕ のトンネル障壁を透過してドレイン電流を形成する。一方、反平行磁化の場合では、バリア高さが ϕ となるスピンを有する伝導キャリアは、強磁性ソースがハーフメタルであることから存在しない（上述のように通常の強磁性金属を用いた強磁性ソースではこの伝導キャリアは少数スピンとなる）。また、ハーフメタルの絶縁体的バンドのバンドギャップが十分に広く、また、ハーフメタルの膜厚が十分に厚ければ、外部の非磁性コンタクトからバリア高さが ϕ となるようなスピンを有するキャリアの注入はほとんど生じない。ハーフメタルの金属的バンドに属するスピンに対して強磁性トンネル障壁のバリア高さは $\phi + \Delta$ となるため、このスピンに対するトンネル確率は低く、十分な大きさの Δ であれば、この伝導キャリアによるドレイン電流を無視できるほど小さくすることができる。従って、強磁性ソースにハーフメタルを用いれば、平行磁化と反平行磁化におけるドレイン電流比を飛躍的に大きくすることができる。また、第2の実施の形態によるトランジスタのように、強磁性ソースと強磁性ドレンとの両方をハーフメタルにすることもできる。ハーフメタルとしては、CrO₂、Fe₃O₄、ホイスラーアロイなどを用いることができる。

【0056】

次に、本発明の第4の実施の形態によるトランジスタについて図6を参照して説明する。図6は、本発明の第4の実施の形態によるトランジスタの構造断面図である。第1から第3までの実施の形態によるトランジスタは、プレーナ型トランジスタであったが、第4の実施の形態によるトランジスタは、第1から第3までの実施の形態によるトランジスタを縦型トランジスタで構成したものである。図6に示すように、本実施の形態によるトランジスタ71は、基板70と、基板

70上に形成された強磁性ソース73と、強磁性トンネル障壁77と、強磁性又は非磁性のドレイン75との積層構造体であって、積層構造体のそれぞれの構成要素の側面の一部又は全部がゲート絶縁膜81により覆われており、さらに、このゲート絶縁膜81と、ゲート絶縁膜81を介して強磁性トンネル障壁77に対して電界を印加することができるゲート電極85を有している。

【0057】

この構造は、基板70の表面の法線方向に積層した強磁性ソース73と、強磁性トンネル障壁77と、強磁性又は非磁性のドレイン75との積層構造体の構成を有しているため、強磁性ソース73と、強磁性トンネル障壁77と、強磁性又は非磁性のドレイン75との連続した接合を、膜厚制御性の良い薄膜成長法を用いて形成することができる。従って、高い精度で強磁性トンネル障壁77を形成することができる。

【0058】

以上の第1から第4までの実施の形態によるトランジスタにおいて、MOSトランジスタなどの強磁性ソースと強磁性トンネル障壁の間に非磁性体を挟んで、強磁性ソースと強磁性トンネル障壁との磁気的なカップリングを防ぐことも可能である。

【0059】

次に、本発明の第5の実施の形態による記憶回路であって、上記第1から第4までのいずれかの実施の形態によるトランジスタ1つを記憶素子として用いた記憶回路（不揮発性メモリ）とその動作について図面を参照しつつ説明する。図7(a)及び(b)は、記憶回路の概略構成を示す回路図であり、図7(c)は、図7(b)の回路を用いた場合の記憶素子であるトランジスタの静特性と動作点を示す図である。

【0060】

本発明の第1から第4までの各実施の形態によるトランジスタは、電界効果トランジスタと同様にゲート電圧によりドレイン電流を制御できるトランジスタであるとともに、トランジスタ内の磁化状態に依存する伝達特性（相互コンダクタنس）をも併せ持つ。従って、トランジスタ単体のみで1ビットのメモリセルを

構成できる。また、トランジスタの出力電圧は、周辺回路（負荷と電源）により任意に設計することが可能である。

【0061】

図7 (a) は、本発明の第1から第4までの各実施の形態によるトランジスタのいずれかを用いた記憶回路の構成例を示す図である。図7 (a) に示すように、本実施の形態による記憶回路は、ソース (S) を接地したトランジスタ91を多数マトリクス状に配置し、トランジスタ91のドレイン (D) とゲート (G) とを、それぞれ、読み出し用ビット線BLと読み出し用ワード線WLとに接続する。また、書き換え用ワード線と書き換え用ビット線とを上記トランジスタ上での配線と電気的に絶縁した状態で交差するように配置する。この書き換え用ワード線と書き換え用ビット線として、上記した読み出し用ビット線と読み出し用ワード線を併用しても良い。図7 (a)、(b) はこの場合のセル構成を示す図である。この場合では、トランジスタ単体でメモリセルを構成できるのみならず、配線に関しても非常に単純な構成にすることができる。

【0062】

従来の構成によるMRAMでは、2素子4配線（図8参照）の構成であり、さらにMTJ及び書き換え用ワード線の存在によって、ソースを隣り合ったセルで共用してセル面積を小さくするなどの工夫が困難であったが、本実施の形態では、図7 (a) に示すように、最も単純な1素子3配線（または1素子2配線）によってメモリセルを構成できるため、微細化に適したレイアウトを容易に構成することができる。例えば、ソースを共通にした構造を用いれば、メモリセルのサイズをより一層小さくすることができる（後述）。

【0063】

以下、書き換え用ビット線／読み出し用ワード線および書き換え／読み出し用ワード線をそれぞれ共用する場合として、単にそれぞれ、ビット線BL、ワード線WLと呼ぶ。情報の書き換えは本実施の形態によるトランジスタ91における強磁性ソースまたは強磁性トンネル障壁の保持力を変えておくか、一方の磁化方向を固定しておき、一方の磁化を反転させることにより、強磁性ソースに対する強磁性トンネル障壁の相対的な磁化方向を平行磁化または反平行磁化にして行な

う。この平行磁化または反平行磁化の磁化状態を“0”または“1”的2値の情報に対応させる。具体的には、選択セル上で交差するビット線BLとワード線WLに電流を流し、それぞれの電流によって誘起される磁界の合成磁界によって選択されたメモリセルの保持力の小さな強磁性体または磁化方向の固定されていない強磁性体の磁化を反転させて情報を記憶する。

【0064】

この際、選択したメモリセルと同一のビット線BL又はワード線WLに接続している非選択メモリセルが磁化反転しないようにするため、一方の配線のみからの磁界では磁化反転を生じないようにそれぞれの配線に流す電流値を設定しておく。

【0065】

情報の読み出しへは、選択セルに接続されたワード線WLに電圧を印加して本実施の形態によるトランジスタを導通させてから、ビット線BLに電圧を印加し、ドレイン電流の大きさを検出する。本実施の形態によるトランジスタでは、強磁性ソースと強磁性トンネル障壁との相対的な磁化状態が平行磁化の場合では相互コンダクタンスが大きく、大きなドレイン電流を生じるが、反平行磁化の場合は相互コンダクタンスが小さくドレイン電流も小さい。従って、ドレイン電流の大きさに基づき、強磁性ソース電極と強磁性トンネル障壁との相対的な磁化状態を検出することができる。

【0066】

通常のMTJにおいて、平行磁化における電流は両強磁性電極における多数スピノの状態密度間のトンネルと少数スピノの状態密度間のトンネルによって生じ、反平行磁化の場合では少数スピノの状態密度から多数スピノの状態密度へのトンネルと多数スピノの状態密度から少数スピノの状態密度へのトンネルによって生じる。従って、平行磁化の場合に生じる電流に少数スピノによる電流成分が含まれるので、平行磁化と反平行磁化のそれぞれの場合における電流の比は容易には大きくできない。

【0067】

一方、本実施の形態によるトランジスタでは、強磁性トンネル障壁のバンド端

におけるスピン分裂によって、平行磁化を持つ場合におけるドレイン電流は強磁性ソースの多数スピンのトンネルのみによって生じ、反平行磁化の場合でのドレイン電流は強磁性ソースの少数スピンのトンネルのみによって生じるようにできる。従って、本実施の形態によるトランジスタでは、平行磁化と反平行磁化とのそれぞれの場合における電流の比（ドレイン電流比）は、MTJの場合における電流比に比べて大きくすることができる。従って、本実施の形態によるトランジスタを用いれば、上記回路において容易に磁化状態を検出することができる。

【0068】

また、MTJでは、TMR比はバイアス電圧とともに急激に減少するため、回路に必要なバイアス下ではTMR比が大きく減少するといった問題があったが、本実施の形態によるトランジスタを用いればこのような問題は生じない。本実施の形態によるトランジスタでは、FNトンネルによるスピンの向きに依存したトンネル効果を用いているため、FNトンネルを生じさせるために必要なバイアスを、トンネル障壁のバリア高さや膜厚などによって調整することができる。従つて、回路に必要なバイアス下で大きなドレイン電流比を実現できるように設計可能である。

【0069】

また、強磁性トンネル障壁を強磁性ソースと強磁性又は非磁性のドレインで挟み込んだトンネル構造（第1から第4の実施の形態におけるトランジスタのゲート絶縁体とゲート電極のない2端子デバイス）は、高いTMR比の出現するバイアス電圧を最適化できる2端子磁気抵抗素子としても用いることができる。

【0070】

図7（b）は、図7（a）に示す記憶回路のビット線BL端に出力端子V₀と出力端子V₁から分岐して負荷を介して電源V_{DD}に接続した記憶回路である。図7（c）は、図7（b）に示した記憶回路の出力特性を示す図である。ここでは、負荷としてデプレッションMOSトランジスタによる能動負荷を用いているが、純抵抗を用いても良い。図7（c）に示すように、情報の読み出し時にはトランジスタのゲート電極にV_{GS}を印加し、ビット線BLに負荷を介して電源V_{DD}を印加すれば、負荷による動作点は強磁性ソース／強磁性トンネル障壁間の磁化状態

に応じて図7 (c) 中の負荷曲線上を動く (図中のP11とP12)。従って、平行磁化と反平行磁化との場合の出力信号 V_0 は、それぞれ図中の $V_0\uparrow\uparrow$ と $V_0\downarrow\uparrow$ となる。それぞれの出力信号の絶対値および比($V_0\uparrow\uparrow/V_0\downarrow\uparrow$)は、負荷、 V_{DD} などの周辺回路によって適正化できる。例えば、負荷曲線を最適化することにより、ドレン電流比 $I_D\uparrow\uparrow/I_D\uparrow\downarrow$ が小さい場合でも大きな出力信号比を得ることができる。また、 $I_D\uparrow\uparrow$ と $I_D\downarrow\uparrow$ の値がメモリセルによってばらついていても、能動負荷の飽和電流が $I_D\downarrow\uparrow$ より大きく、 $I_D\uparrow\uparrow$ より小さければ、出力電圧はほとんど変動しない。さらに、情報の読み出しにセンスアンプを用いないため、高速の読み出しが可能となる。したがって、本実施の形態による記憶回路では、所望の大きさの出力信号を容易に得ることができ、さらに高速読み出しが可能になるという利点を有する。

【0071】

また、第1から第3の実施の形態による2つのトランジスタのソースを1つのソースで共通として高密度に集積化が可能なメモリセル構造を形成することも可能である。図9は共通ソース構造を有するメモリセルの断面構成例を示す図である。図9に示すメモリセル構造は、互いに隣接する2つの上記トランジスタのうちの第1のトランジスタ T_{r1} と第2のトランジスタ T_{r2} と、第1のトランジスタ T_{r1} のゲート電極 G_1 と第2のトランジスタ T_{r2} のゲート電極 G_2 とを共通接続するワード配線 WL と、第1のトランジスタ T_{r1} の第1のドレン D_1 と接続する第1ビット線 BL_1 と、第2のトランジスタの第2のドレン D_2 と接続する第2ビット線 BL_2 と、第1及び第2のトランジスタ T_{r1} 、 T_{r2} に共通の強磁性ソース S と、これを接地 (GND) する配線とを有する。上記構造のメモリセルをマトリックス状に配置すれば、さらに高密度集積化が可能となる。

【0072】

図10は、図6に示すトランジスタを複数用いたメモリセル構造の断面構成例である。基板又は基板上に設けられたコンタクト層とマトリックス状に配置された上記トランジスタのそれぞれの強磁性ソース S とが共通に接続するとともに接地 (GND) し、行方向に並ぶ複数のトランジスタでは、それぞれのトランジス

タが有するドレインDを共通に接続するビット線により接続されており、列方向に並ぶ複数のトランジスタでは、それぞれのトランジスタが有するゲート電極Gを共通に接続するワード線により接続されている。上記構造によれば、集積密度を一層高くすることが可能である。

【0073】

以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0074】

【発明の効果】

本発明の強磁性ソースと強磁性トンネル障壁とを備えたトランジスタによれば、ドレイン電流をゲート電圧で制御できるトランジスタとして機能を備えるとともに、その相互コンダクタンスが強磁性ソースと強磁性トンネル障壁との相対的な磁化の向きによって大きく異なるという特徴的な特性を併せ持つ。従って、強磁性ソースに対する強磁性トンネル障壁との相対的な磁化の向きによって2値の情報を記憶することができるとともに、この相対的な磁化の向きを電気的に検出することができる。上記トランジスタを用いれば、1つのトランジスタのみで不揮発性メモリセルを構成することができるため、高速かつ高集積密度の不揮発性記憶回路の実現が可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態によるトランジスタの概略構成を示す断面図である。

。

【図2】

図2 (a) は、強磁性ソースが強磁性金属の場合の、図1の構造におけるエネルギーバンド図である。図2 (b) は、強磁性ソースがn型強磁性半導体の場合のエネルギーバンド図である。図2 (c) は、強磁性ソースがp型強磁性半導体の場合のエネルギーバンド図である。

【図3】

図3 (a) から図3 (c) までは、本実施の形態によるトランジスタの動作原理をエネルギー-band図により示す図であり、図3 (a) は、ゲート電圧を印加しない場合、図3 (b) は、ゲート電圧を印加した場合であって、強磁性ソースと強磁性トンネル障壁とが平行磁化の場合、図3 (c) は、ゲート電圧を印加した場合であって、強磁性ソースと強磁性トンネル障壁とが反平行磁化の場合のエネルギー-band構造を示す図である。

【図4】

図1、図2に示すトランジスタの出力特性を示す図である。

【図5】

本発明の第2の実施の形態によるトランジスタの断面構造例を示す図である。

【図6】

本発明の第4の実施の形態によるトランジスタの構造断面例を示す図である。

【図7】

図7 (a) は本実施の形態によるメモリセルの一構成例を示す図であり、図7 (b) は、メモリ回路の一構成例を示す図である。図7 (c) は図7 (b) のメモリ回路の動作を説明するためのトランジスタと負荷との関係を示す図である。

【図8】

MTJを用いた一般的なMRAMのメモリセルの断面図である。

【図9】

共通の強磁性ソースを有するメモリセルの断面構造例を示す図である。

【図10】

本実施の形態による縦型トランジスタを用いたメモリセルの断面構造例を示す図である。

【符号の説明】

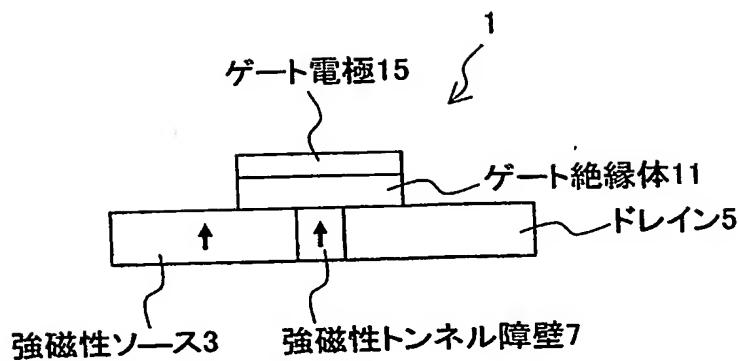
1…トランジスタ、3…強磁性ソース、5…ドレイン、7…強磁性トンネル障壁、11…ゲート絶縁体、15…ゲート電極、21…アップスピンド端、25…ダウスピンド端、41…メモリセル(トランジスタ)、51…トランジスタ、53…強磁性ソース、55…強磁性ドレイン、57…強磁性トンネル障壁、61…ゲート絶縁体、65…ゲート電極、71…トランジスタ、73…強磁性

ソース、75…強磁性ドレイン、77…強磁性トンネル障壁、81…ゲート絶縁体、85…ゲート電極、91…トランジスタ、95…負荷、BL…ビット線、WL…ワード線、D…ドレイン、G…ゲート、S…ソース。

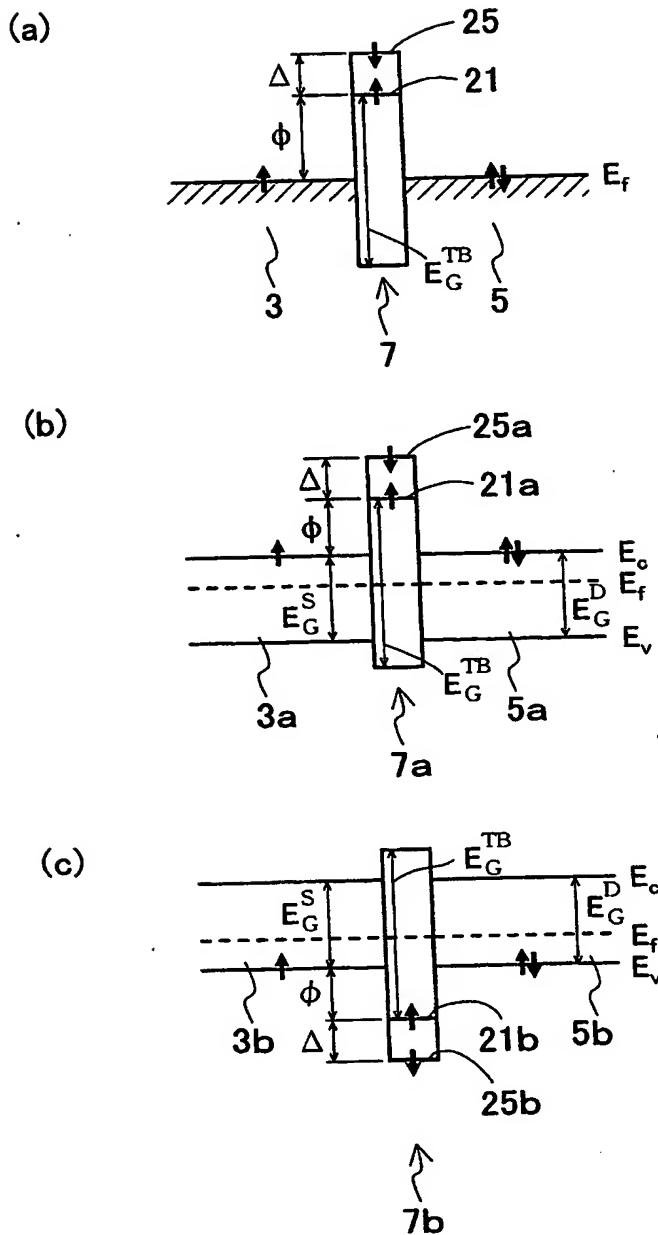
【書類名】

図面

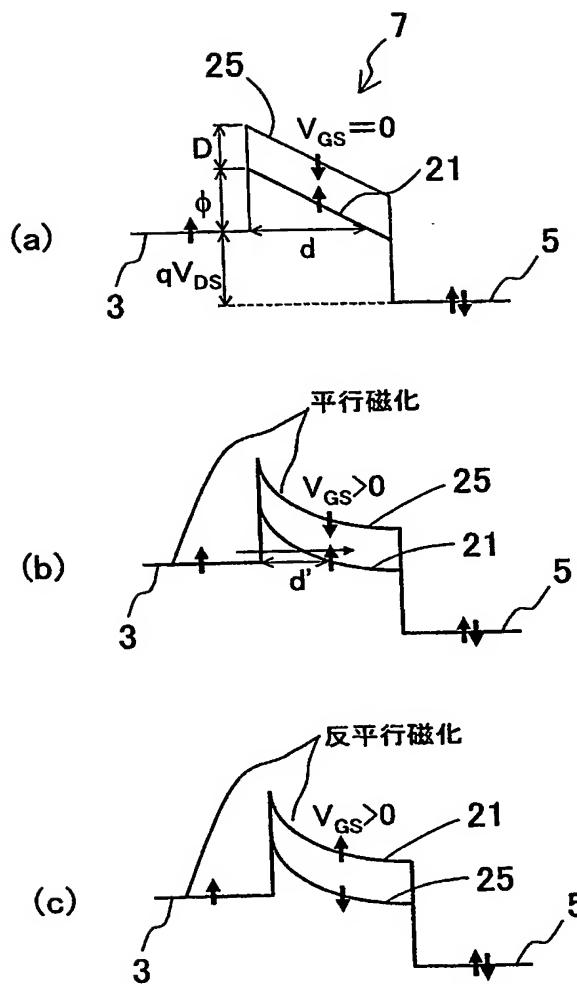
【図 1】



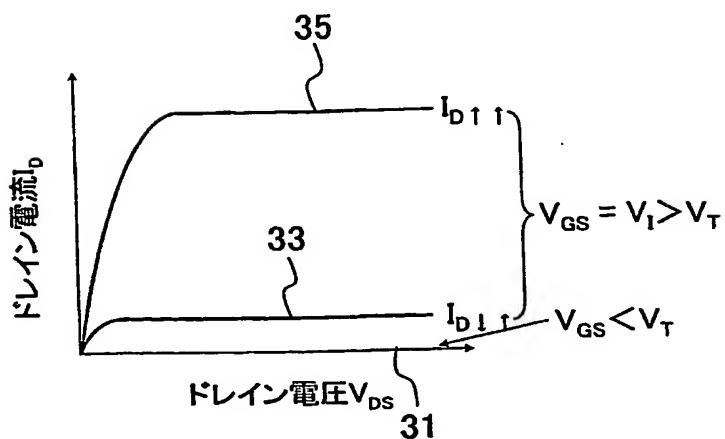
【図2】



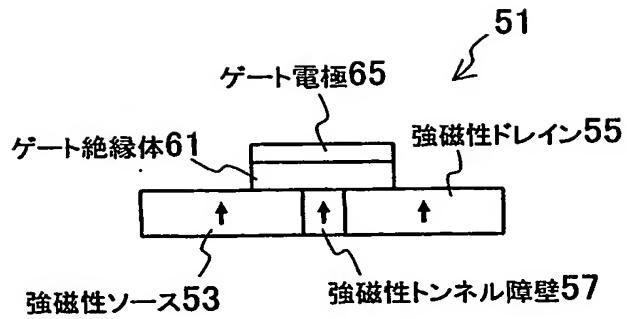
【図 3】



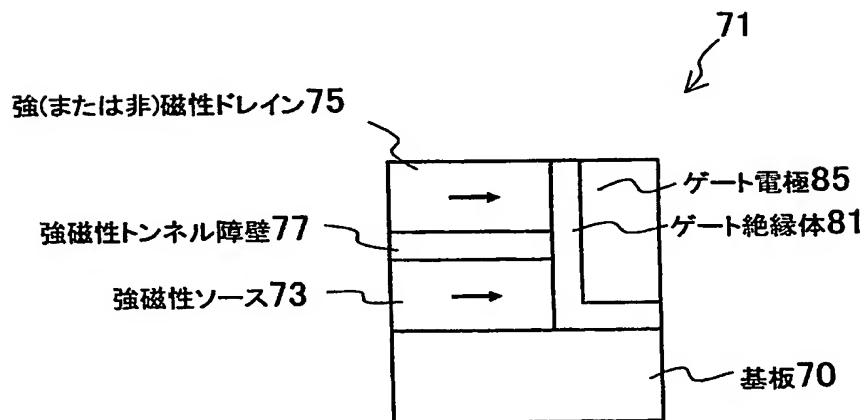
【図 4】



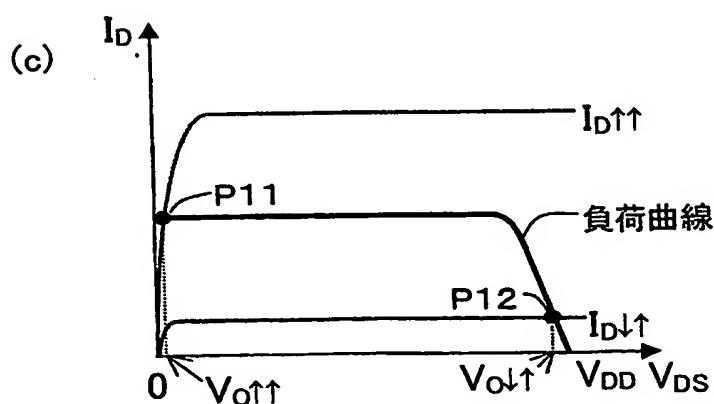
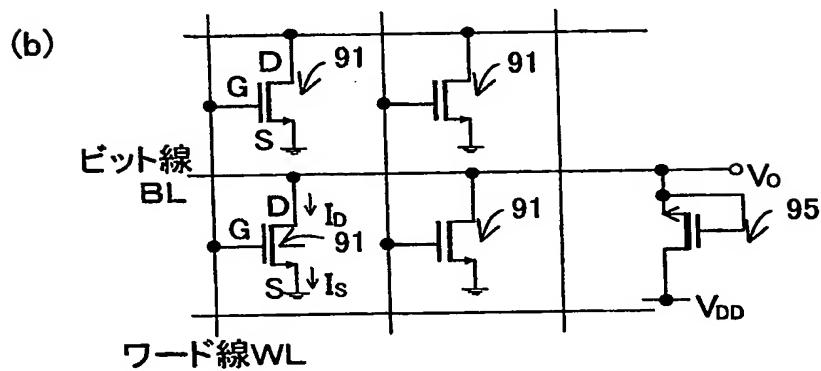
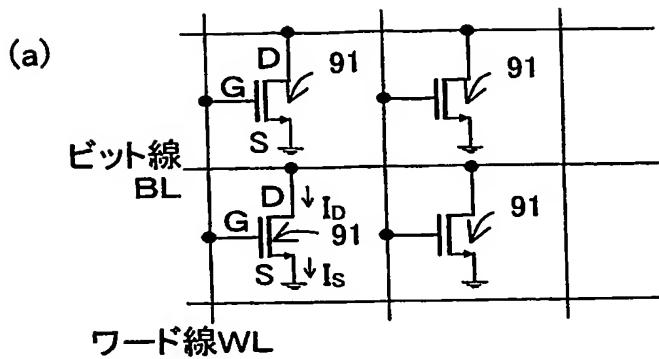
【図5】



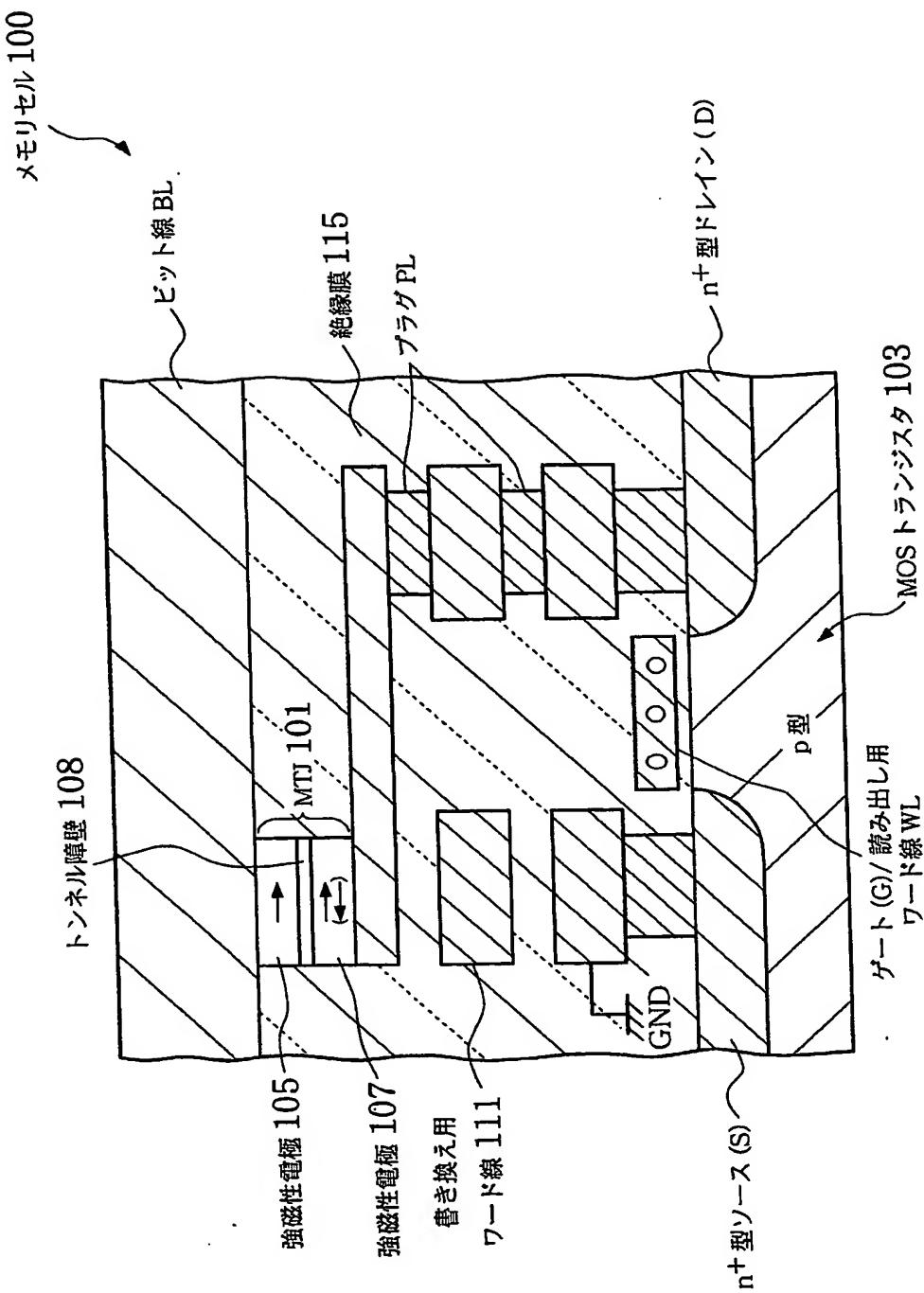
【図6】



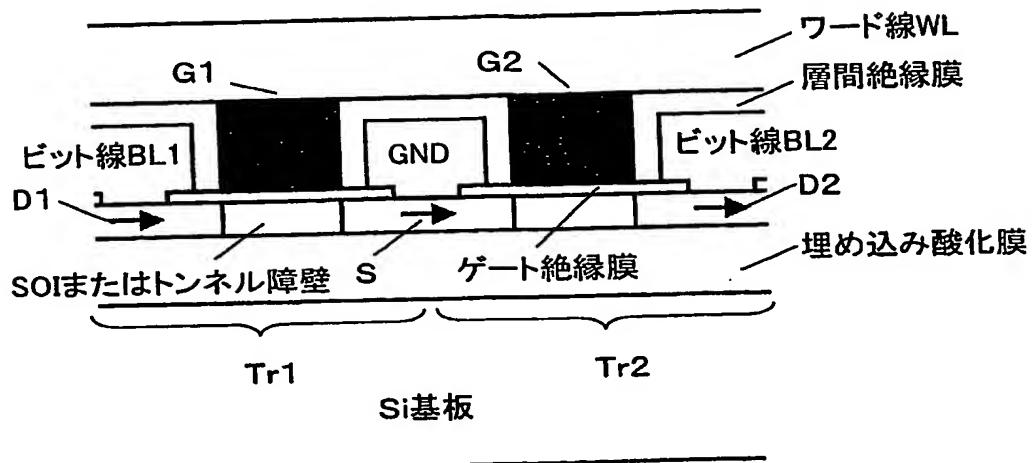
【図7】



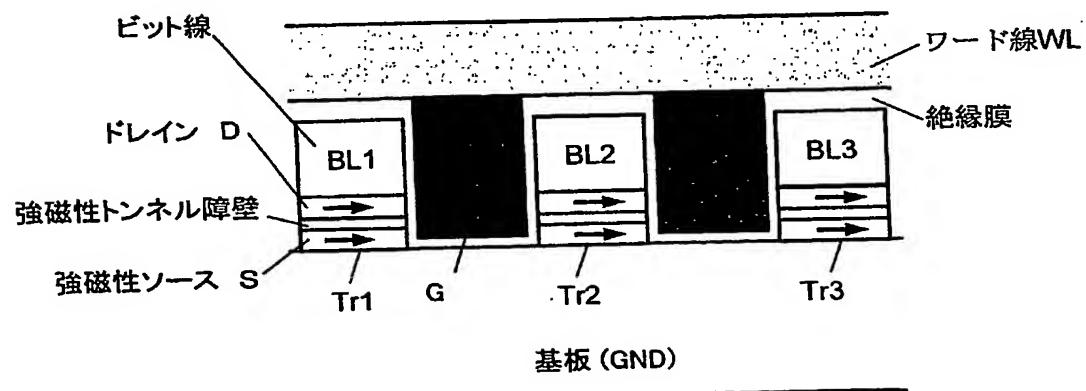
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 スピン依存トンネル効果を利用したトランジスタと、このトランジスタ単体でメモリセルを構成する不揮発性メモリを提供する。

【解決手段】 強磁性ソース3と強磁性トンネル障壁7とが平行磁化である場合では、強磁性ソースの多数スピンに対するバリア高さは ϕ となる。強磁性ソース3とドレイン5との間にバイアス V_{DS} を印加すると、強磁性トンネル障壁のポテンシャル形状は、三角形状に変化するが、 V_{DS} はFNトンネルによる電流がほとんど生じない程度の大きさである。ゲート電極にバイアス V_{GS} を印加すると、三角形状ポテンシャル障壁の幅がトンネルの可能な d' へ減少し、強磁性ソース3の多数スピンは強磁性トンネル障壁7をトンネルしてドレイン電流が生じる。強磁性ソースと強磁性トンネル障壁とが反平行磁化を持つ場合では、上記と同一のバイアス V_{DS} と V_{GS} を印加しても、強磁性ソースの多数スピンに対するバリア高さは $\phi + \Delta$ になることから多数スピンによるドレイン電流は小さい。反平行磁化の場合には、強磁性ソースの少数スピンによる小さなドレイン電流を生じるのみである。従って、強磁性ソースと強磁性トンネル障壁の相対的な磁化状態によって相互コンダクタンスが変化する。

【選択図】 図3

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成15年10月31日
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2003- 95600
【承継人】
【識別番号】 503360115
【住所又は居所】 埼玉県川口市本町四丁目1番8号
【氏名又は名称】 独立行政法人科学技術振興機構
【代表者】 沖村 憲樹
【連絡先】 〒102-8666 東京都千代田区四番町5-3 独立行政法人科学技術振興機構 知的財産戦略室 佐々木吉正 TEL 03-5214-8486 FAX 03-5214-8417
【提出物件の目録】
【物件名】 権利の承継を証明する書面 1
【援用の表示】 平成15年10月31日付提出の特第許3469156号にかかる一般承継による移転登録申請書に添付のものを援用する。
【物件名】 登記簿謄本 1
【援用の表示】 平成15年10月31日付提出の特第許3469156号にかかる一般承継による移転登録申請書に添付のものを援用する。

特願 2003-095600

出願人履歴情報

識別番号 [396020800]

1. 変更年月日 1998年 2月 24日

[変更理由] 名称変更

住 所 埼玉県川口市本町4丁目1番8号
氏 名 科学技術振興事業団

特願 2003-095600

出願人履歴情報

識別番号 [503360115]

1. 変更年月日 2003年10月 1日

[変更理由] 新規登録

住所 埼玉県川口市本町4丁目1番8号
氏名 独立行政法人 科学技術振興機構